

**Family list****7** family members for:**JP11103067**

Derived from 5 applications.

**1 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR**Publication Info: **JP11103066 A** - 1999-04-13**2 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**Publication Info: **JP11103067 A** - 1999-04-13**3 Semiconductor device and fabrication method thereof**Publication Info: **US6218219 B1** - 2001-04-17**4 Semiconductor device and fabrication method thereof**Publication Info: **US6407431 B2** - 2002-06-18**US2001019859 A1** - 2001-09-06**5 Semiconductor device and fabrication method thereof**Publication Info: **US6573564 B2** - 2003-06-03**US2002130363 A1** - 2002-09-19

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

06161523     \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.:     **11-103067** [JP 11103067 A]

PUBLISHED:     April 13, 1999 (19990413)

INVENTOR(s): YAMAZAKI SHUNPEI

KOYAMA JUN

SATOU YURIKA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:     09-282560 [JP 97282560]

FILED:           September 29, 1997 (19970929)

INTL CLASS:     H01L-029/786; G02F-001/136; H01L-021/336

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To manufacture a semiconductor device by preventing an increase in the number of masks without complicating processes, by forming grain boundary distribution peculiar to a molten crystal in the thin-film semiconductor layer of a thin-film transistor.

**SOLUTION:** A foundation film 102 is formed onto a glass substrate 101, and a gate electrode 103 as a conductive film is formed onto the foundation film 102. Anodic oxidation is conducted to the gate electrode 103, an anodic oxide film 104 is formed, and a gate insulating layer consisting of a silicon nitride film 105 and silicon oxide film 106 is formed. An amorphous semiconductor film 107 using silicon as a chief ingredient is shaped onto the gate insulating layer, and the amorphous semiconductor film 107 is irradiated with laser beams while the glass substrate 101 is heated from the rear side and a crystalline semiconductor film 108 is formed. Grain boundary distribution peculiar to laser crystallization is obtained in the crystallized semiconductor film 108 at that time.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103067

(43) 公開日 平成11年(1999) 4月13日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 29/786

H01L 29/78

616

U

G02F 1/136

500

G02F 1/136

500

H01L 21/336

H01L 29/78

612

Z

617

J

617

K

審査請求 未請求 請求項の数20 F D (全21頁) 最終頁に続く

(21) 出願番号

特願平9-282560

(22) 出願日

平成9年(1997) 9月29日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 佐藤 由里香

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を提供する。

【解決手段】 結晶構造を有する半導体層で形成されたボトムゲイト型の半導体装置の構成において、ソース/ドレイン領域を、第1の導電層 (n' 層)、それより高抵抗な第2の導電層 (n<sup>-</sup> 層) 及び真性または実質的に真性な半導体層 (i 層) からなる積層構造で構成する。この時、n<sup>-</sup> 層はLDD領域として機能し、i 層は膜厚方向のオフセット領域として機能する。

## 【特許請求の範囲】

【請求項 1】 複数のゲイト配線と、複数のソース配線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置であって、

前記薄膜トランジスタのソース領域と、ドレイン領域と、少なくとも 1 つのチャネル形成領域とが形成される薄膜半導体層は、結晶構造を有し、

前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第 1 の導電層、当該第 1 の導電層よりも高抵抗な第 2 の導電層及び前記チャネル形成領域と同一導電型の第 1 の半導体層からなる積層構造を有し、前記第 1 及び第 2 の導電層に導電性を付与する不純物の濃度プロファイルは、前記第 1 の導電層から前記第 2 の導電層にかけて連続的に変化する、

前記補助容量は、ゲイト配線と同一の導電膜でなる第 1 の電極と、前記第 1 の電極に接する誘電体と、前記誘電体に接し、前記チャネル形成領域と同一導電型の第 2 の半導体層でなる第 2 の電極とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記第 2 の半導体層は、前記薄膜トランジスタの前記薄膜半導体層に形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 において、前記第 2 の半導体層は前記チャネル形成領域の膜厚とほぼ等しい領域を有することを特徴とする半導体装置。

【請求項 4】 請求項 1 又は 2 において、前記第 2 の半導体層の膜厚は前記第 1 の半導体層とほぼ膜厚が等しいことを特徴とする半導体装置。

【請求項 5】 請求項 1～4 において、しきい値電圧を制御するために、前記第 2 の半導体層には 13 族から選ばれた又は 15 族から選ばれた不純物が  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度で添加されていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 において、前記第 2 の半導体層に接する第 4 の半導体層と、前記第 4 の半導体層に接する第 5 の半導体層を有し、

前記第 5 の半導体層から前記第 4 の半導体層にかけて、前記導電性を付与する不純物の濃度プロファイルは、前記第 1 及び第 2 の導電膜の濃度プロファイルとほぼ等しいことを特徴とする半導体装置。

【請求項 7】 請求項 6 において、前記第 5 の半導体層は、前記薄膜トランジスタのドレイン電極に接続されていることを特徴とする半導体装置。

【請求項 8】 請求項 6 において、前記第 5 の半導体層は、前記画素電極に接続されていることを特徴とする半導体装置。

【請求項 9】 複数のゲイト配線と、複数のソース配線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マ

トリクス回路を備えた半導体装置であって、

前記薄膜トランジスタのソース領域と、ドレイン領域と、少なくとも 1 つのチャネル形成領域とが形成される薄膜半導体層は、結晶構造を有し、

前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第 1 の導電層、当該第 1 の導電層よりも高抵抗な第 2 の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記第 1 及び第 2 の導電層に導電性を付与する不純物の濃度プロファイルは、前記第 1 の導電層から前記第 2 の導電層にかけて連続的に変化する、

前記補助容量の一方の電極は前記ゲイト配線と共通の導電膜から形成され、他方の電極は前記ソース配線と共通の導電膜から形成されていることを特徴とする半導体装置。

【請求項 10】 請求項 9 において、前記ソース配線と共通の導電膜から形成されている前記補助容量の電極は、前記薄膜トランジスタのドレイン電極と一体的に形成されていることを特徴とする半導体装置。

【請求項 11】 複数のゲイト配線と、複数のソース配線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置であって、

前記薄膜トランジスタのソース領域と、ドレイン領域と、少なくとも 1 つのチャネル形成領域とが形成される薄膜半導体層は、結晶構造を有し、

前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第 1 の導電層、当該第 1 の導電層よりも高抵抗な第 2 の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記第 1 及び第 2 の導電層に導電性を付与する不純物の濃度プロファイルは、前記第 1 の導電層から前記第 2 の導電層にかけて連続的に変化する、

前記補助容量の一方の電極は前記ゲイト配線と共通の導電膜から形成され、

前記画素電極は前記補助容量の誘電体と接する領域を有することを特徴とする半導体装置。

【請求項 12】 請求項 1～11 において、前記薄膜トランジスタの薄膜半導体層は、溶融結晶に特有の粒界分布を有することを特徴とする半導体装置。

【請求項 13】 請求項 1～12 において、前記第 1 及び第 2 の導電層に導電性を付与する不純物は、13 族又は 15 族から選ばれた元素であることを特徴とする半導体装置。

【請求項 14】 請求項 1～13 において、少なくとも前記チャネル形成領域にはしきい値電圧を制御するために、13 族又は 15 族から選ばれた不純物が  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度で添加されていることを特徴とする半導体装置。

【請求項 15】 複数のゲイト配線と、複数のソース配

線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置の作製方法であって、

絶縁表面を有する基板上に、前記ゲイト配線、前記補助容量の第 1 の電極を形成する工程と、

前記ゲイト配線、前記第 1 の電極を覆う絶縁層を形成する工程と、

前記絶縁層上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に対してレーザー光またはそれと同等な強度を持つ強光を照射することにより結晶化して、結晶構造を有する半導体膜を得る工程と、

前記結晶構造を有する半導体膜に対してイオン注入法又はイオントーピング法により 1 3 族及び／又は 1 5 族から選ばれた不純物を添加して、導電層を形成する工程と、

前記結晶構造を有する半導体膜をパターンニングして、前記薄膜トランジスタのチャネル形成領域を構成する第 1 の薄膜半導体層と、前記絶縁層を介して前記第 1 の電極と重なる第 2 の薄膜半導体層とを形成する工程と、

前記ソース配線と、前記第 1 の薄膜半導体層上に薄膜トランジスタのソース領域、ドレイン領域が形成される領域を少なくとも覆う第 1 の導電膜と、前記第 2 の薄膜半導体層の表面を覆う第 2 の導電膜とを形成する工程と、前記第 1 の導電膜をマスクとして、前記第 1 の薄膜半導体層をエッチングして、前記薄膜トランジスタのチャネル形成領域を形成する工程とを有し、

前記第 2 の薄膜半導体層には前記補助容量の第 2 の電極が形成されることを特徴とする半導体装置の作製方法。

【請求項 1 6】請求項 1 5 において、前記第 2 の薄膜半導体層の全表面は前記第 2 の導電膜に覆われ、前記チャネル形成領域を形成する工程において、前記第 2 の薄膜半導体層の前記第 1 の電極と対向する領域はエッチングされないことを特徴とする半導体装置の作製方法。

【請求項 1 7】請求項 1 5 において、前記第 2 の薄膜半導体層の表面は前記第 2 の導電膜に選択的に覆われ、前記チャネル形成領域を形成する工程において、エッチングにより前記第 2 の薄膜半導体層には、前記チャネル形成領域とほぼ等しい膜厚の半導体層が形成されることを特徴とする半導体装置の作製方法。

【請求項 1 8】複数のゲイト配線と、複数のソース配線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置の作製方法であって、

絶縁表面を有する基板上に、前記ゲイト配線、前記補助容量の第 1 の電極を形成する工程と、前記ゲイト配線、前記第 1 の電極を覆う絶縁層を形成する工程と、前記絶縁層上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に対してレーザー光またはそれと

等な強度を持つ強光を照射することにより結晶化して、結晶構造を有する半導体膜を得る工程と、

前記結晶構造を有する半導体膜に対してイオン注入法又はイオントーピング法により 1 3 族及び／又は 1 5 族から選ばれた不純物を添加して、導電層を形成する工程と、

前記結晶構造を有する半導体膜をパターンニングして、前記薄膜トランジスタのチャネル形成領域を構成する薄膜半導体層を形成する工程と、

前記ソース配線と、前記薄膜トランジスタのソース電極及びドレイン電極と、前記補助容量の第 2 の電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして、前記薄膜半導体層をエッチングして、前記薄膜トランジスタのチャネル形成領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 1 9】請求項 1 8 において、前記第 2 の電極は前記ドレイン電極と一体的に形成されていることを特徴とする半導体装置の作製方法。

【請求項 2 0】複数のゲイト配線と、複数のソース配線と、各画素に配置されたボトムゲイト型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置の作製方法であって、

絶縁表面を有する基板上に、前記ゲイト配線、前記補助容量の第 1 の電極を形成する工程と、

前記ゲイト配線、前記第 1 の電極を覆う絶縁層を形成する工程と、

前記絶縁層上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に対してレーザー光またはそれと同等な強度を持つ強光を照射することにより結晶化して、結晶構造を有する半導体膜を得る工程と、

前記結晶構造を有する半導体膜に対してイオン注入法又はイオントーピング法により 1 3 族及び／又は 1 5 族から選ばれた不純物を添加して、導電層を形成する工程と、

前記結晶構造を有する半導体膜をパターンニングして、前記薄膜トランジスタのチャネル形成領域を構成する薄膜半導体層を形成する工程と、

前記ソース配線と、前記薄膜トランジスタのソース電極、ドレイン電極とを形成する工程と、

前記ソース電極及びドレイン電極をマスクとして、前記薄膜半導体層をエッチングして、前記薄膜トランジスタのチャネル形成領域を形成する工程と、

前記ドレイン電極に接続される画素電極を形成する工程とを有し、

前記画素電極は前記補助容量の誘電体に接する領域を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】本願発明は結晶構造を有する半導体薄膜を利用した半導体装置およびその作製方法に関する。特に、逆スタガ構造の薄膜トランジスタ（以下、TFTと略記する）の構成に関する。

【0002】なお、本明細書中において「半導体装置」とは、半導体特性を利用して動作させる装置全てを指す。従って本明細書に記載されたTFT、AMLCD（アクティブマトリクス型液晶表示装置）及び電子機器は全て半導体装置の範疇に含むものとする。

【0003】

【従来の技術】従来より、アクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）のスイッチング素子としてTFTが利用されている。現在では非晶質珪素膜（アモルファスシリコン膜）を活性層として利用したTFTで回路構成を行う製品が市場を占めている。特に、TFT構造としては製造工程の簡単な逆スタガ構造が多く採用されている。

【0004】しかし、年々AMLCDの高性能化が進み、TFTに求められる動作性能（特に動作速度）は厳しくなる傾向にある。そのため、非晶質珪素膜を用いたTFTの動作速度では十分な性能を有する素子を得ることが困難となった。

【0005】そこで、非晶質珪素膜に代わって多結晶珪素膜（ポリシリコン膜）を利用したTFTが脚光を浴び、多結晶珪素膜を活性層とするTFTの開発が著しい勢いで進んできている。現在では、その一部で製品化も行われている。

【0006】活性層として多結晶珪素膜を利用した逆スタガ型TFTの構造については既に多くの発表がなされている。例えば、「Fabrication of Low-Temperature Bottom-Gate Poly-Si TFTs on Large-Area Substrate by Linear-Beam Excimer Laser Crystallization and Ion Doping Method: H. Hayashi et al., IEDM95, PP829-832, 1995」などの報告がある。

【0007】同報告書では多結晶珪素膜を利用した逆スタガ構造の典型的な例（Fig. 4）を説明しているが、この様な構造の逆スタガ構造（いわゆるチャネルストップ型）では様々な問題も抱えている。

【0008】まず、活性層全体が50nm程度と極めて薄いのでチャネル形成領域とドレイン領域との接合部において衝突電離（Impact Ionization）が発生し、ホットキャリア注入などの劣化現象が顕著に現れてしまう。そのため、大きなLDD領域（Light Doped Drain region）を形成する必要性が生じる。

【0009】そして、このLDD領域の制御性が最も重大な問題となる。LDD領域は不純物濃度と領域の長さの制御が非常に微妙であり、特に長さ制御が問題となる。現状ではマスクパターンによってLDD領域の長さを規定する方式が採られているが、微細化が進めば僅かなパターンニング誤差が大きなTFT特性の差を生む。

【0010】活性層の膜厚のバラツキによるLDD領域のシート抵抗のバラツキも深刻な問題となる。さらに、ゲート電極のテーパ角度等のバラツキもLDD領域の効果のバラツキを招く要因となりうる。

【0011】また、LDD領域を形成するためにはパターニング工程が必要であり、それはそのまま製造工程の増加、スループットの低下を招く。上記報告書に記載された逆スタガ構造では最低でもマスク6枚（ソース/ドレイン電極形成まで）が必要であると予想される。

10 【0012】以上の様に、チャネルストップ型の逆スタガ構造ではチャネル形成領域の両側に横方向の平面内でLDD領域を形成しなくてはならず、再現性のあるLDD領域を形成することは非常に困難である。

【0013】また、従来AMLCDでは液晶層に保持した電荷の漏れを補うため、補助容量を各画素に設ける構造となっている。

【0014】

【本発明が解決しようとする課題】本願発明では、非常に簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を作製する技術を提供することを課題とし、画素マトリクス回路に、TFTボトムゲート型TFTと共に補助容量を作製する際に、工程を複雑化せずに、特にマスク数を増加することなく作製可能な半導体装置の構成及びその作製方法を提供することにある。

【0015】

【課題を解決するための手段】本明細書で開示する発明の構成は、複数のゲート配線と、複数のソース配線と、各画素に配置されたボトムゲート型薄膜トランジスタ及び画素電極に接続された補助容量とを有する画素マトリクス回路を備えた半導体装置であって、前記薄膜トランジスタのソース領域と、ドレイン領域と、少なくとも1つのチャネル形成領域とが形成される薄膜半導体層は、結晶構造を有し、前記ソース領域及びドレイン領域は、ゲート絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の第1の半導体層からなる積層構造を有し、前記第1及び第2の導電層に導電性を付与する不純物の濃度プロファイルは、前記第1の導電層から前記第2の導電層にかけて連続的に変化し、前記補助容量は、ゲート配線と同一の導電膜でなる第1の電極と、前記第1の電極に接する誘電体と、前記誘電体に接し、前記チャネル形成領域と同一導電型の第2の半導体層でなる第2の電極とを有することを特徴とする。

【0016】また、他の発明の構成は、上記の構成を有する画素マトリクス回路において、補助容量の第2の電極に半導体層を用いる代わりに、前記ソース配線と共通の導電膜から形成することを特徴とする。

50 【0017】また、他の発明の構成は、上記の画素マトリクス回路において、前記補助容量の一方の電極は前記

ゲイト配線と共通の導電膜から形成され、前記画素電極は前記補助容量の誘電体と接する領域を有し、画素電極を補助容量の一方に電極に用いることを特徴とする。

【0018】また、本発明の画素マトリクス回路に配置される薄膜トランジスタにおいて、ソース/ドレイン領域、チャネル形成領域が形成される薄膜半導体層は、熔融結晶化膜に特有の粒界分布を有する。

【0019】また、作製方法に関する発明の構成は、絶縁表面を有する基板上に、前記ゲイト配線、前記補助容量の第1の電極を形成する工程と、前記ゲイト配線、前記第1の電極を覆う絶縁層を形成する工程と、前記絶縁層上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対してレーザー光またはそれと同等な強度を持つ強光を照射することにより結晶化して、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対してイオン注入法又はイオントーピング法により13族及び/又は15族から選ばれた不純物を添加して、導電層を形成する工程と、前記結晶構造を有する半導体膜をパターンニングして、前記薄膜トランジスタのチャネル形成領域を構成する第1の薄膜半導体層と、前記絶縁層を介して前記第1の電極と重なる第2の薄膜半導体層とを形成する工程と、前記ソース配線と、前記第1の薄膜半導体層上に薄膜トランジスタのソース領域、ドレイン領域が形成される領域を少なくとも覆う第1の導電膜と、前記第2の薄膜半導体層の表面を覆う第2の導電膜とを形成する工程と、前記第1の導電膜をマスクとして、前記第1の薄膜半導体層をエッチングして、前記薄膜トランジスタのチャネル形成領域を形成する工程とを有し、前記第2の薄膜半導体層には前記補助容量の第2の電極が形成されることを特徴とする。

【0020】上記の作製方法によって、補助容量の一方の電極は半導体層に形成されるが、本発明の作製方法に関する他の構成は、前記ソース配線と、前記薄膜トランジスタのソース電極及びドレイン電極と共に、前記補助容量の第2の電極を形成して、ソース配線と共通の導電膜を補助容量の電極に用いる。

【0021】さらに、他の方法では、前記画素電極を画素TFT及び補助容量の誘電体に接するように形成することで、画素電極を補助容量の電極に用いる。

【0022】

【発明の実施の形態】以上の構成からなる本願発明の実施の形態について、以下に記載する実施例をもって詳細な説明を行うこととする。特に実施例10以降に開示する。

【0023】

【実施例】 図1～21を用いて、本発明の実施例を詳細に説明する。

【0024】〔実施例1〕 本願発明の代表的な実施例について、図1～3を用いて説明する。まず、図1を用いて本願発明の半導体装置の作製方法を説明する。絶縁

表面を有する基板の準備としてガラス基板101上に珪素を主成分とする絶縁膜となる下地膜102を形成する。その上に導電性膜となるゲイト電極（第1配線）103を形成する。

【0025】ゲイト電極103の線幅は1～10 $\mu$ m（代表的には3～5 $\mu$ m）とする。また、膜厚は200～500 nm（代表的には250～300 nm）とする。本実施例では250nm厚のアルミニウム膜（2wt%のスカンジウムを含有）を用いて線幅3 $\mu$ mのゲイト電極を形成する。

【0026】なお、ゲイト電極103としてはアルミニウム以外にも、タンタル、タングステン、チタン、クロム、モリブデン、導電性シリコン、金属シリサイドまたはそれらの積層膜等を用いることができる。ここで1回目のパターンニング工程（ゲイト電極形成）が行われる。

【0027】ここで、ゲイト電極103に対して陽極酸化を行い、ゲイト電極を保護する陽極酸化膜104を50～200 nm（典型的には100～150 nm）形成する。本実施例では3%の酒石酸を含むエチレングリコール溶液（アンモニアで中性に中和する）中で印加電圧80V、化成電流5～6mAの条件で形成する。こうして100 nm程度の厚さに形成することができる。

【0028】次に、窒化珪素膜105（膜厚は0～200 nm、代表的には25～100 nm、好ましくは50nm）、SiO<sub>x</sub>N<sub>y</sub>で示される酸化窒化珪素膜又は酸化珪素膜（膜厚は150～300 nm、代表的には200 nm）106からなるゲイト絶縁層を形成する。なお、本実施例の場合、ゲイト絶縁層には陽極酸化膜104も含まれる。

【0029】ゲイト絶縁層を形成したら、その上に珪素を主成分とする非晶質半導体膜107を形成する。本実施例では非晶質珪素膜を例とするが他の化合物半導体膜（ゲルマニウムを含有する非晶質珪素膜等）を用いても良い。

【0030】また、本願発明はチャネルエッチ型のボトムゲイト構造であるので、非晶質珪素膜107の膜厚は厚く形成しておく。膜厚範囲は100～600 nm（典型的には200～300 nm、好ましくは250 nm）とする。本実施例では200 nmとする。また、後述するが、最適な膜厚は本願発明のTFTにどのようなオフセット領域、LDD領域を設けるかによって適宜決定する必要がある。

【0031】なお、本実施例では減圧熱CVD法により非晶質珪素膜107を成膜するが、成膜の際に炭素、酸素、窒素といった不純物の濃度を徹底的に管理することが望ましい。これらの不純物が多いと後に結晶性半導体膜の結晶性の均一性を崩す恐れがある。

【0032】本実施例では成膜した非晶質珪素膜における各不純物の濃度が、炭素及び窒素が $5 \times 10^{18}$  atoms/cm<sup>3</sup>未満（代表的には $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下）、酸素が $1.5 \times 10^{18}$  atoms/cm<sup>3</sup>未満（代表的には $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下）となる様に制御する。この様な管理を行っておけば最終的にTFTのチャネル形成領域中に含まれ

る不純物濃度は上記範囲内に収まる。

【0033】こうして図1(A)の状態が得られる。図1(A)の状態が得られたら、レーザー光の照射により非晶質珪素膜107の結晶化を行う。(図1(B))

【0034】レーザー光としては、励起ガスとしてKrF(248nm)、XeCl(308nm)、ArF(193nm)等を用いたパルス発振型エキシマレーザーを用いれば良い。また、Nd:YAGレーザーの高調波など他のあらゆるレーザー光を用いることができる。

【0035】なお、本実施例の様に結晶化しようとする非晶質半導体膜の膜厚が厚い場合、波長の長いレーザー光を用いた方が全体を均一に結晶化しやすい。また、レーザー光を照射する際に、基板を50~500℃程度の範囲で補助的に加熱する方法も有効である。また、レーザー光の波長周期を鑑みて光吸収効率が高まる様な膜厚に調節しておくことも有効である。

【0036】本実施例ではパルス発振型のXeClエキシマレーザー光を光学系によって線状に加工した後、基板の一端から他端に向かって走査することで非晶質珪素膜全面に対してレーザーアニールを行う。

【0037】なお、発振周波数は30MHz、走査速度は2.4mm/s、レーザーエネルギーは300~400mJ/cm<sup>2</sup>とし、基板を裏面側から400℃に加熱して処理する。こうして、結晶性半導体膜(本実施例では結晶性珪素膜)108を得る。

【0038】また、非晶質珪素膜とガラス基板とで熱吸収率が異なるため、膜の上面側から照射すれば非晶質珪素膜の温度を集中的に上げることが可能である。そのため、ガラス基板の耐熱温度(650℃付近)以上の温度で非晶質珪素膜を加熱することが可能である。

【0039】ところで、本実施例の様にレーザー光の照射により結晶化した半導体膜(本明細書中では熔融結晶化膜と呼ぶ)はレーザー結晶化に特有の粒界分布(結晶粒界の存在分布)を有する。セコエッチングと呼ばれる公知の技術によって粒界を顕著化して観察すると、結晶粒と粒界とが明確に判別でき、数十~数百nmの粒径を持つ結晶粒の集合体であることが判る。

【0040】一方、他の結晶化手段を用いた半導体膜は熔融結晶化膜とは明らかに異なる粒界分布を示す。なぜならばレーザー光(またはそれと同等の強度を持つ強光)を用いた結晶化では一旦半導体層が熔融するが、他の手段は基本的に固相成長であり、結晶化機構が異なるからである。

【0041】さて次に、15族から選ばれた元素(代表的にはリン、砒素またはアンチモン)をイオン注入法(質量分離あり)またはイオンドーピング法(質量分離なし)により添加する。本実施例では結晶性珪素膜108の表面から深さ30~100nm(代表的には30~50nm)の範囲において、リン濃度が $1 \times 10^{19} \sim 3 \times 10^{19}$  atoms/cm<sup>3</sup>、代表的には $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>となる様

に調節する。

【0042】本実施例ではこの様にして形成された高濃度のリンを含む領域109をn<sup>+</sup>層(または第1の導電層)と呼ぶ。この層の厚さは30~100nm(代表的には30~50nm)の範囲で決定する。この場合、n<sup>+</sup>層109は後にソース/ドレイン電極の一部として機能する。本実施例では30nm厚のn<sup>+</sup>層を形成する。

【0043】また、n<sup>+</sup>層109の下に形成される低濃度のリンを含む領域110をn<sup>-</sup>層(または第2の導電層)と呼ぶ。この場合、n<sup>-</sup>層110はn<sup>+</sup>層109よりも高抵抗となり、後に電界緩和のためのLDD領域として機能する。本実施例では30nm厚のn<sup>-</sup>層を形成する。また、n<sup>-</sup>層110の下に形成される、真性または実質的に真性な領域をi層120と呼ぶ。i層120には、チャネル形成領域が形成される。(図1(C))

【0044】また、この時、リンを添加する際の深さ方向の濃度プロファイルが非常に重要である。この事について図4を用いて説明する。なお、図4に示す濃度プロファイルは加速電圧を80keV、RF電力を20Wとしてイオンドーピング法によりフォスフィン(PH<sub>3</sub>)を添加した場合の例である。

【0045】図4において、401は結晶性珪素膜、402は添加されたリンの濃度プロファイルを示している。この濃度プロファイルはRF電力、添加イオン種、加速電圧等の設定条件によって決定される。

【0046】この時、濃度プロファイル402のピーク値はn<sup>+</sup>層403内部又は界面近傍にあり、結晶性珪素膜401の深くにいく程(ゲイト絶縁膜に向かうほど)、リン濃度は低下する。この時、リン濃度は膜内部全域に渡って連続的に変化するためn<sup>+</sup>層403の下には必ずn<sup>-</sup>層404が形成される。

【0047】そして、このn<sup>-</sup>層404の内部においてもリン濃度は連続的に低下していく。本実施例では、リン濃度が $1 \times 10^{19}$  atoms/cm<sup>3</sup>を超える領域をn<sup>+</sup>層403として考え、 $5 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度範囲にある領域をn<sup>-</sup>層404として考えている。ただし、明確な境界は存在しないため、目安として考えている程度である。

【0048】また、リン濃度が極端に低下した領域及びそのさらに下層は真性または実質的に真性な領域(i層)405となる。なお、真性な領域とは意図的に不純物が添加されない領域を言う。また、実質的に真性な領域とは、不純物濃度(ここではリン濃度)が珪素膜のスピン密度以下である領域又は不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17}$  atoms/cm<sup>3</sup>の範囲で一導電性を示す領域を指す。

【0049】この様な真性または実質的に真性な領域はn<sup>-</sup>層404の下に形成される。ただし、i層405は基本的にチャネル形成領域と同一導電型の半導体層から構成される。即ち、チャネル形成領域が弱いn型又はp型を示す様な場合には、同様の導電型を示す。



【0050】この様に、 $n^+$ 層の形成にイオン注入法またはイオンドーピング法を用いることにより $n^+$ 層の下に $n^-$ 層を形成することができる。従来の様に $n^+$ 層を成膜で設けた場合にはこの様な構成は実現できない。また、イオン添加時の条件を適切に設定することで $n^+$ 層と $n^-$ 層の厚さ制御を容易に行うことができる。

【0051】特に、 $n^-$ 層110の厚さは後にLDD領域の厚さとなるため、非常に精密な制御が必要である。イオンドーピング法等では添加条件の設定によって深さ方向の濃度プロファイルが精密に制御できるので、LDD領域の厚さ制御が容易に行える。本願発明では $n^-$ 層110の厚さを30~200 nm (代表的には50~150 nm) の範囲で調節すれば良い。

【0052】図4では、ドーピング工程が1度の場合の濃度プロファイルを示しているが、ドーピング工程を複数に分けることで、 $n^+$ 層403、 $n^-$ 層402の厚さを制御することもできる。例えば、高ドーズ量で比較的浅い箇所、 $n^+$ 層403を形成すべき深さに濃度プロファイルのピークが位置するようなドーピングと、低ドーズ量で比較的深い箇所、 $n^-$ 層402を形成すべき深さに濃度プロファイルのピークが位置するドーピングを行えばよい。

【0053】こうして $n^+$ 層109、 $n^-$ 層110を形成したら、再びレーザー光の照射を行い、添加した不純物(リン)の活性化を行う。(図1(D))

【0054】なお、レーザーアニール以外にランプアニール(強光の照射)、ファーンズアニール(電熱炉による加熱)を行うこともできる。ただし、ファーンズアニールの場合にはガラス基板の耐熱性を考慮して処理を行う必要がある。

【0055】本実施例ではXeClエキシマレーザーを用いてレーザーアニールを行う。処理条件は基本的に上述の結晶化工程と同一で良いが、レーザーエネルギーは200~350mJ/cm<sup>2</sup> (代表的には250~300mJ/cm<sup>2</sup>) で良い。また、基板は裏面側から300℃に加熱して活性化率の向上を図る。

【0056】また、このレーザー活性化工程では結晶性珪素膜108がリンの添加工程に受けたダメージを回復することができる。そして、添加時のイオン衝突により非晶質化した領域を再結晶化することができる。

【0057】こうしてリンの活性化工程が終了したら、結晶性珪素膜のパターニングを行い、島状半導体層111を形成する。この時、最終的にTFTが完成した時にキャリアの移動方向に対して垂直な方向の長さ(チャネル幅(W))が1~30μm (代表的には10~20μm) となる様に調節する。ここで2回目のパターニング工程が行われる。(図2(A))

【0058】ここで図面上には図示されないが、露出したゲイト絶縁層の一部をエッチングし、ゲイト電極(第1配線)と次に形成する電極(第2配線)との電氣的接

続をとるためのコンタクトホール(図2(C)の118で示される領域)を開口する。ここで3回目のパターニング工程が行われる。

【0059】次に、導電性を有する金属膜(図示せず)を成膜し、パターニングによりソース電極112、ドレイン電極113を形成する。本実施例ではTi(50nm)/Al(200~300 nm)/Ti(50nm)の3層構造からなる積層膜を用いる。また、上述の様にゲイト電極と電氣的に接続するための配線も同時に形成されている。ここで4回目のパターニング工程が行われる。(図2(B))

【0060】また、後述するが、ゲイト電極103の真上の領域、即ちソース電極112とドレイン電極113とで挟まれた領域(以下、チャネルエッチ領域と呼ぶ)114の長さ(C<sub>1</sub>で示される)が後にチャネル形成領域とオフセット領域の長さを決定する。C<sub>1</sub>は2~20μm (代表的には5~10μm) の範囲から選べるが、本実施例ではC<sub>1</sub>=4μmとする。

【0061】次に、ソース電極112及びドレイン電極113をマスクとしてドライエッチングを行い、自己整合的に島状半導体層111をエッチングする。そのため、チャネルエッチ領域114のみでエッチングが進行する。(図2(C))

【0062】この時、 $n^+$ 層109、 $n^-$ 層110は完全にエッチングされ、真性または実質的に真性な領域(i層)のみが残された形でエッチングを止める。本願発明では最終的に10~100 nm (代表的には10~75nm、好ましくは15~45nm) の半導体層のみを残す。本実施例では30nm厚の半導体層を残すことにする。

【0063】こうして島状半導体層111のエッチング(チャネルエッチ工程)が終了したら、保護膜115として酸化珪素膜または窒化珪素膜を形成して、図2(C)に示す様な構造の逆スタガ型TFTを得る。

【0064】この状態において、チャネルエッチされた島状半導体層111のうち、ゲイト電極112の真上に位置する領域はチャネル形成領域116となる。本実施例の構成ではゲイト電極幅がチャネル形成領域の長さに対応し、L<sub>1</sub>で示される長さをチャネル長と呼ぶ。また、ゲイト電極113の端部よりも外側に位置する領域117は、ゲイト電極103からの電界が及ばず、オフセット領域となる。この長さはX<sub>1</sub>で示される。

【0065】本実施例の場合、ゲイト電極103の線幅(L<sub>1</sub>に相当する)が100 nm厚の陽極酸化膜分の減りを考慮すると約2.8μmであり、チャネルエッチ領域114の長さ(C<sub>1</sub>)が4μmであるので、オフセット領域の長さ(X<sub>1</sub>)は約0.6μmとなる。

【0066】ここで、ドレイン領域(ドレイン電極113と接する半導体層)を拡大したものを図3に示す。図3において、103はゲイト電極、301はチャネル形成領域、302は $n^+$ 層(ソースまたはドレイン電

極)、303、304は膜厚の異なるオフセット領域、305は $n^-$ 層(LDD領域)である。

【0067】なお、ここでは説明しないがソース領域(ソース電極112と接する半導体層)も同様の構造を有している。

【0068】また、図3に示す構造は模式的に記されているが、各領域の膜厚関係には注意が必要である。本願発明を構成するにあたって最も好ましい構成は、膜厚の厚さが $n^+$ 層302< $n^-$ 層305<オフセット領域(i層)304の関係にある場合である。

【0069】なぜならば $n^+$ 層302は電極として機能するだけなので薄くて十分である。一方、 $n^-$ 層305及びオフセット領域304は電界緩和を効果的に行うために適切な厚さが必要である。

【0070】本実施例の構成では、チャネル形成領域301から $n^+$ 領域302に至るまでに膜厚の異なる二つのオフセット領域303、304及びLDD領域305が存在する。なお、303はマスク合わせにより形成される膜面方向のオフセット領域であり、マスクオフセット領域と呼ぶ。

【0071】また、304はi層の膜厚分に相当する膜厚方向のオフセット領域であり、厚さオフセット領域と呼ぶ。厚さオフセット領域304の厚さは100~300nm(代表的には150~200nm)の範囲で決定すれば良い。ただし、チャネル形成領域の膜厚よりも膜厚をが厚くする必要がある。チャネル形成領域よりも膜厚が薄いと良好なオフセット効果を望めない。

【0072】この様なオフセット+LDDからなる構造を本発明者らはHRD(High Resistance Drain)構造と呼び、通常のLDD構造とは区別して考えている。本実施例の場合、HRD構造はマスクオフセット+厚さオフセット+LDDの3段構造で構成されることになる。

【0073】この時、LDD領域303はLDD領域の膜厚及び不純物濃度によって制御されるため、非常に再現性が高く、特性バラツキが小さいという利点を有する。パターニングによって形成されたLDD領域ではパターニング誤差による特性バラツキが問題となることは従来例で述べた通りである。

【0074】なお、マスクオフセット領域303の長さ( $X_1$ )はパターニングによって制御されるため、パターニングやガラスの縮み等による誤差の影響を受ける。しかしながら、その後厚さオフセット領域304とLDD領域305とが存在するので誤差による影響は緩和され、特性バラツキを小さくすることができる。

【0075】なお、マスクオフセットの長さ( $X_1$ )はチャネル長( $L_1$ )とチャネルエッチ領域の長さ( $C_1$ )を用いて( $C_1 - L_1$ )/2で表される。従って、ソース/ドレイン電極形成時のパターニング工程によって所望のオフセット長( $X_1$ )を設定することが可能である。本実施例の構成ではオフセット長( $X_1$ )は0.3

~3 $\mu$ m(代表的には1~2 $\mu$ m)とすることができ

る。  
【0076】なお、図2(C)に示す様な構造の逆スタガ型TFETは、従来の非晶質珪素膜を活性層(島状半導体層)として利用したTFETでは実現できない。なぜならば、非晶質珪素膜を用いる場合、ソース/ドレイン電極とゲート電極とがオーバーラップする様な構造にしないとキャリア(電子または正孔)の移動度が極めて遅くなってしまふからである。

10 【0077】ソース/ドレイン電極とゲート電極とがオーバーラップする様な構造にしたとしても非晶質珪素膜を用いたTFETのモビリティ(電界効果移動度)はせいぜい1~10 $\text{cm}^2/\text{Vs}$ 程度である。それに対して本実施例の様な構造を採用してしまつてはモビリティが低すぎてスイッチング素子として機能しない。

【0078】ところが、本願発明では活性層として結晶性珪素膜を利用しているのでキャリア移動度が十分に速い。従って、本実施例の様な構造としても十分なモビリティを得ることが可能である。即ち、本実施例の構造は半導体層として結晶構造を有する半導体膜を用いたからこそ実現できるのである。

20 【0079】また、本実施例の逆スタガ型TFETは、HRD構造を有しているので衝突電離によるホットキャリア注入などの劣化現象に対して非常に強く、高い信頼性を有している。しかも、LDD領域の効果が支配的な上、そのLDD領域が非常に制御性よく形成されているので特性バラツキが非常に小さい。

【0080】そのため、本実施例の様な構造は高耐圧を必要とし、高い動作速度はそれほど必要としない様な回路を構成するTFETに好適である。

30 【0081】また、本実施例の作製工程に示した様に、図2(C)に示した構造の逆スタガ型TFETを得るのに4枚のマスクしか必要としていない。これは従来のチャネルストップ型TFETが6枚マスクを必要としていた事を考えると、スループット及び歩留りが飛躍的に向上することを意味している。

【0082】以上の様に、本実施例の構成によれば量産性の高い作製工程によって、高い信頼性と再現性を有するボトムゲイト型TFETを作製することが可能である。

40 【0083】なお、本実施例の作製工程に従って作製したボトムゲイト型TFET(Nチャネル型TFET)のモビリティは10~150 $\text{cm}^2/\text{Vs}$ (代表的には60~120 $\text{cm}^2/\text{Vs}$ )、しきい値電圧は1~4Vを実現しうる。

【0084】〔実施例2〕 本実施例では本願発明の構成において、実施例1とは異なる構成例を示す。TFETの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

50 【0085】まず、実施例1の作製工程に従って図5(A)の状態を得る。ここで実施例1と異なる点は、ソース電極501、ドレイン電極502を形成する際にチ

チャネルエッチ領域 5 0 0 の長さを  $C_1$  とする点にある。この時、 $C_1$  はゲイト電極幅よりも狭く、 $2 \sim 9 \mu\text{m}$  (代表的には  $2 \sim 4 \mu\text{m}$ ) の範囲で選ばれる。即ち、ゲイト電極とソース/ドレイン電極とがオーバーラップする様に設けることが本実施例の特徴となる。

【0086】この状態で実施例 1 に示した様にチャネルエッチ工程を行い、保護膜を設けると図 5 (B) の状態を得る。この時、5 0 3 で示される領域がチャネル形成領域となり、そのチャネル長は  $L_1 (=C_1)$  で表される。また、マスク設計によりオーバーラップさせた領域 (マスクオーバーラップ領域と呼ぶ) 5 0 4 の長さ ( $Y_1$ ) はゲイト電極幅を  $E$  とすると、 $(E-L_1)/2$  で表される。

【0087】図 5 (C) はドレイン領域の拡大図であるが、TFT 動作時のキャリアは、チャネル形成領域 5 0 3 (厚さ 50nm)、マスクオーバーラップ領域 5 0 4 (厚さ 160 nm)、LDD 領域 5 0 5 (厚さ 50nm) を通って  $n^+$  層 5 0 6 (厚さ 40nm)、ドレイン電極 5 0 2 へと到達する。

【0088】なお、この場合、マスクオーバーラップ領域 5 0 4 にもゲイト電極からの電界が形成されるが、LDD 領域 5 0 5 に近づくにつれて電界は弱まるので、その様な領域は実質的に LDD 領域と同様の機能を持つ。勿論、さらに LDD 領域 5 0 5 に近づけば完全に電界が形成されなくなり、オフセット (厚さオフセット) 領域としても機能しうる。

【0089】この様に本実施例の構造では HRD 構造が、オーバーラップによる実質的な LDD+厚さオフセット+低濃度不純物による LDD で構成される。また、オーバーラップ領域 5 0 4 の膜厚が薄い場合には、オーバーラップによる実質的な LDD+低濃度不純物による LDD のみからなる LDD 構造もとらう。

【0090】本実施例の構成においても、オーバーラップ領域 5 0 4、LDD 領域 5 0 5 がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、オーバーラップ領域の長さ ( $Y_1$ ) はパターニング等による誤差を含むが、オーバーラップによる LDD、厚さ方向のオフセット及び低濃度不純物による LDD はその様な誤差の影響を受けないので  $Y_1$  の誤差による特性バラツキは緩和される。

【0091】なお、本実施例の様な構造はオフセット成分が少なく、高い動作速度を必要とする様な回路を構成する TFT に好適である。

【0092】また、本実施例の構造では衝突電離によってチャネル形成領域内に蓄積した少数キャリアが速やかにソース電極へと引き抜かれるので基板浮遊効果を起こしにくいという利点を有する。そのため、動作速度が速い上に非常に耐圧特性の高い TFT を実現することが可能である。

【0093】〔実施例 3〕 本実施例では本願発明の構

成において、実施例 1、2 とは異なる構成例を示す。TFT の作製工程は基本的には実施例 1 に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0094】まず、実施例 1 の作製工程に従って図 6 (A) の状態を得る。ここで実施例 1 と異なる点は、ソース電極 6 0 1、ドレイン電極 6 0 2 を形成する際にチャネルエッチ領域 6 0 0 の長さを  $C_1$  とする点にある。この時、 $C_1$  はゲイト電極幅と一致させるため、 $1 \sim 10 \mu\text{m}$  (代表的には  $3 \sim 5 \mu\text{m}$ ) となる。

【0095】この状態で実施例 1 に示した様にチャネルエッチ工程を行い、保護膜を設けると図 6 (B) の状態を得る。この時、6 0 3 で示される領域がチャネル形成領域となり、そのチャネル長は  $L_1 (=C_1)$  で表される。

【0096】図 6 (C) はドレイン領域の拡大図であるが、TFT 動作時のキャリアは、チャネル形成領域 6 0 3 (厚さ 100 nm)、厚さオフセット領域 6 0 4 (厚さ 150 nm)、LDD 領域 6 0 5 (厚さ 100 nm) を通って  $n^+$  層 6 0 6 (厚さ 50nm)、ドレイン電極 6 0 2 へと到達する。即ち、本実施例の構造では HRD 構造が厚さオフセット+LDD の 2 段構造で構成される。

【0097】本実施例の構成においても、厚さオフセット領域 6 0 4、LDD 領域 6 0 5 がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、十分な耐圧特性を得ることが可能である。

【0098】〔実施例 4〕 本実施例では本願発明の構成において、実施例 1～3 とは異なる構成例を示す。TFT の作製工程は基本的には実施例 1 に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0099】まず、実施例 1 の作製工程に従って図 7 (A) の状態を得る。ここで実施例 1 と異なる点は、ソース電極 7 0 1、ドレイン電極 7 0 2 を形成する際にソース電極またはドレイン電極のいずれか一方をゲイト電極にオーバーラップさせ、他方はオーバーラップさせない構成とする点にある。

【0100】なお、本実施例ではチャネルエッチ領域 7 0 0 の長さを  $C_1$  とする。この時、 $C_1$  は  $1 \sim 10 \mu\text{m}$  (代表的には  $3 \sim 6 \mu\text{m}$ ) の範囲で選ばれる。

【0101】この状態で実施例 1 に示した様にチャネルエッチ工程を行い、保護膜を設けると図 7 (B) の状態を得る。この時、7 0 3 で示される領域がチャネル形成領域となり、そのチャネル長は  $L_1 (=C_1 - X_1)$  で表される。

【0102】ここで、 $X_1$  はマスクオフセット領域 7 0 4 の長さである。 $X_1$  の数値範囲については実施例 1 を参考にすれば良い。また、マスクオーバーラップ領域 7 0 5 の長さの数値範囲は実施例 2 を参考にすれば良い。

【0103】本実施例は、実施例 1 で説明した HRD 構

造と実施例 2 で説明した HRD 構造（または LDD 構造）とを組み合わせた構成である。構造的な説明は実施例 1 及び実施例 2 で既に説明したのでここでの説明は省略する。

【0104】本実施例の様な構造を採用する場合、特にソース領域に実施例 2 に示した HRD 構造（または LDD 構造）を用い、ドレイン領域に実施例 1 で説明した HRD 構造を用いることが好ましい。

【0105】例えば、ドレイン領域側のチャネル端部（接合部）では特に電界集中が激しく、実施例 1 に示した様な抵抗成分の多い HRD 構造が望ましい。逆に、ソース側ではそこまでの高耐圧対策は必要ないので、実施例 2 に示した様な抵抗成分の少ない HRD（または LDD）構造が適している。

【0106】なお、本実施例において、ソース／ドレイン領域側のいずれか一方に実施例 2 の構成を組み合わせることも可能である。この様に、実施例 1～3 に示した HRD 構造または LDD 構造を実施者が適宜選択してソース／ドレイン領域に採用し、回路設計を鑑みて最適な構造を設計すれば良い。この場合、 $3' = 9$  通りの組み合わせパターンが可能である。

【0107】〔実施例 5〕 本実施例では実施例 1～4 に示した構成のボトムゲート型 TFT を用いて CMOS 回路（インバータ回路）を構成する場合の例について図 8 を用いて説明する。なお、CMOS 回路は同一基板上に形成された N チャネル型 TFT と P チャネル型 TFT とを相補的に組み合わせ構成する。

【0108】図 8 は実施例 4 に示した構成を利用した CMOS 回路であり、801 は P チャネル型 TFT のソース電極、802 は N チャネル型 TFT のソース電極、803 は N/P 共通のドレイン電極である。

【0109】また、N チャネル型 TFT は実施例 1 で説明した作製工程によって  $n'$  層 804、805、 $n^-$  層 806、807 が形成されている。一方、P チャネル型 TFT の方には  $p''$  層 808、809、 $p^-$  層 810、811 が形成されている。

【0110】なお、同一基板上に CMOS 回路を作製することは非常に容易である。本願発明の場合、まず、実施例 1 の工程に従って図 2 (A) の状態を得る。

【0111】この状態では N 型／P 型関係なく 15 族から選ばれた元素が全面に添加されているが、P チャネル型 TFT を作製する場合には N チャネル型 TFT とする領域をレジストマスク等で隠して 13 族から選ばれた元素（代表的にはボロン、インジウムまたはガリウム）を添加すれば良い。

【0112】本実施例ではボロンを例にとるが、この時、ボロンはリンの濃度以上に添加して導電性を反転させなければならない。また、 $n'$  層及び  $n^-$  層全てを完全に  $p''$  層及び  $p^-$  層に反転させるためには、ボロン添加時の濃度プロファイルを調節してリンの添加深さより

も深く添加することが重要である。

【0113】従って、ボロンの膜中における濃度プロファイルは図 9 の様になる。図 9 において、900 は半導体層、901 はボロン添加前のリンの濃度プロファイル、902 はボロン添加後のボロンの濃度プロファイル、903 は  $p''$  層、904 は  $p^-$  層、905 は  $i$  層である。

【0114】この時、 $p''$  層 903 の厚さは 10～150 nm（代表的には 50～100 nm）とし、 $p''$  層のボロンの濃度は、 $3 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>、代表的には  $3 \times 10^{19} \sim 3 \times 10^{20}$  atoms/cm<sup>3</sup> となる様に調節する。

【0115】他方、 $p^-$  層 904 の厚さは 30～300 nm（代表的には 100～200 nm）とし、そのボロンの濃度は、 $5 \times 10^{17} \sim 3 \times 10^{19}$  atoms/cm<sup>3</sup> となる様に調節する。ただし、P チャネル型 TFT は元来劣化に強いので  $p^-$  層を LDD 領域として利用する必要は必ずしもない。わざわざ  $p^-$  層 904 の膜厚について言及したのは、イオン注入法等の添加手段を用いる限り、連続的に変化する濃度勾配によって必ず  $p^-$  層が形成されるからである。

【0116】ところで、本実施例では N チャネル型 TFT と P チャネル型 TFT のどちらもソース領域側には実施例 2 に示した構成の HRD 構造（オーバーラップ領域を利用したタイプ）を用い、ドレイン領域側には実施例 1 に示した構成の HRD 構造（マスクオフセットを利用したタイプ）を設けている。

【0117】そのため、上面図で明らかな様に P チャネル型 TFT のソース領域側には  $Y_i$  の長さを持つオーバーラップ領域を有し、ドレイン領域側には  $X_i$  の長さを持つマスクオフセット領域を有している。また、N チャネル型 TFT のソース領域側には  $Y_j$  の長さを持つオーバーラップ領域を有し、ドレイン領域側には  $X_j$  の長さを持つマスクオフセット領域を有している。

【0118】この時、 $X_i$  と  $X_j$ 、 $Y_i$  と  $Y_j$  の長さはそれぞれマスク設計によって自由に調節できる。従って、それぞれの長さは回路構成の必要に応じて適宜決定すれば良く、N チャネル型と P チャネル型とで揃える必要はない。

【0119】また、この様な構造では CMOS 回路の共通ドレインとなる領域の耐圧特性を高くすることができ、動作電圧の高い回路を構成する場合において、非常に有効な構成である。

【0120】なお、実施例 1～4 に示した構成の TFT を用いた CMOS 回路の構成を図 8 に示したが、これ以外の全ての組み合わせも可能であることは言うまでもない。可能な構成パターンとしては、一つの TFT について 9 通りあるので、CMOS 回路では  $9' = 81$  通りがある。これらの複数の組み合わせの中から、回路が必要する性能に応じて最適な組み合わせを採用していけば良い。

【0121】また、本実施例に示した様に本願発明はPチャネル型TFTにも容易に適用することができる。その場合、本願発明のボトムゲート型TFT（Pチャネル型TFT）のモビリティは $10\sim 100\text{cm}^2/\text{Vs}$ （代表的には $50\sim 100\text{cm}^2/\text{Vs}$ ）、しきい値電圧は $-1.5\sim -5\text{V}$ を実現しうる。

【0122】〔実施例6〕 本実施例では、本願発明のTFTに対してしきい値電圧を制御するための工夫を施した場合の例について説明する。

【0123】しきい値電圧を制御するために13族（代表的にはボロン、インジウム、ガリウム）または15族（代表的にはリン、砒素、アンチモン）から選ばれた元素をチャネル形成領域に対して添加する技術はチャネルドープと呼ばれている。

【0124】本願発明に対してチャネルドープを行うことは有効であり、以下に示す2通りの方法が簡易で良い。

【0125】まず、非晶質珪素膜を成膜する時点において成膜ガスにしきい値電圧を制御するための不純物を含むガス（例えばジボラン、フォスフィン等）を混在させ、成膜と同時に所定量を含有させる方式がある。この場合、工程数を全く増やす必要がないが、N型及びP型の両TFTに対して同濃度が添加されるため、両者で濃度を異ならせるといった要求には対応できない。

【0126】次に、図2（C）で説明した様なチャネルエッチ工程（チャネル形成領域の形成工程）が終了した後で、ソース／ドレイン電極をマスクとしてチャネル形成領域（またはチャネル形成領域とマスクオフセット領域）に対して選択的に不純物添加を行う方式がある。

【0127】添加方法はイオン注入法、イオンドーピング法、プラズマ処理法、気相法（雰囲気からの拡散）、固相法（膜中からの拡散）など様々な方法を用いることができるが、チャネル形成領域が薄いので、気相法や固相法等の様にダメージをあたえない方法が好ましい。

【0128】なお、イオン注入法等を用いる場合には、TFT全体を覆う保護膜を設けてから行えばチャネル形成領域のダメージを減らすことができる。

【0129】また、不純物を添加した後はレーザーアニール、ランプアニール、ファーンズアニールまたはそれらを組み合わせて不純物の活性化工程を行う。この時、チャネル形成領域が受けたダメージも殆ど回復する。

【0130】本実施例を実施する場合、チャネル形成領域には $1\times 10^{15}\sim 5\times 10^{18}\text{atoms}/\text{cm}^3$ （代表的には $1\times 10^{15}\sim 5\times 10^{17}\text{atoms}/\text{cm}^3$ ）の濃度でしきい値電圧を制御するための不純物を添加すれば良い。

【0131】そして、本実施例を本願発明のTFTに実施した場合、Nチャネル型TFTのしきい値電圧を $1.5\sim 3.5\text{V}$ の範囲に収めることができる。また、Pチャネル型TFTに適用した場合にはしきい値電圧を $-1.5\sim -3.5\text{V}$ の範囲に収めることが可能である。

【0132】なお、本実施例の構成は実施例1～5のいずれの構成との組み合わせも可能である。また、実施例5のCMOS回路に適用する場合、N型TFTとP型TFTとで添加濃度や添加する不純物の種類を異なるものとすることもできる。

【0133】〔実施例7〕 図2（C）に示した構造では、島状半導体層を完全に囲む様にしてソース電極11とドレイン電極113とが形成されている。本実施例ではこれとは別の構成について説明する。

【0134】図10（A）に示す構造は、基本的には図2（C）と似ているが、ソース電極11及びドレイン電極12の形状が異なる点に特徴がある。即ち、一部において島状半導体層（厳密にはソース／ドレイン領域）よりもaで示される距離だけ内側にソース電極11及びドレイン電極12が形成されている。

【0135】また、13で示される領域は、チャネル形成領域14と同じ膜厚を有する領域であり、距離aの幅を持つ。図面上では模式的に表しているが、距離aは $1\sim 300\mu\text{m}$ （代表的には $10\sim 200\mu\text{m}$ ）である。

【0136】ここで作製工程と照らし合わせて本実施例の特徴を説明する。本実施例では図10（B）に示す様にソース電極11及びドレイン電極12を形成する。ここで15は島状半導体層であり、端部16が露出する。

【0137】この状態でチャネルエッチ工程を行うと、ソース電極11及びドレイン電極12がマスクとなって自己整合的に島状半導体層15がエッチングされる。この場合、端部16も同時にエッチングされる。

【0138】この様にして図10（A）の様な構造が得られる。従って、端部16がチャネル形成領域14と同じ膜厚を有することは明らかである。

【0139】この島状半導体層の突出部13を形成する理由は以下の2つがある。

（1）チャネルエッチ工程におけるエッチングモニタとして利用する。

（2）後工程で保護膜や層間絶縁膜を形成する際に、島状半導体層の段差によるカバレッジ不良を低減する。

【0140】エッチングモニタとしては、製造過程における抜き取り検査によってチャネル形成領域が適切な膜厚となっているかどうかを検査する場合に用いる。

【0141】なお、本実施例の構成は実施例1～6のいずれの構成とも組み合わせることが可能である。

【0142】〔実施例8〕 本実施例では実施例5に示したCMOS回路（インバータ回路）の回路構成の例について図11を用いて説明する。

【0143】図11（A）に示すのは、図8に示したものと同一構造のCMOS回路である。この場合、回路構成はクロム膜からなるゲート電極20、N型TFTの半導体層21、P型TFTの半導体層22、N型TFTのソース電極23、P型TFTのソース電極24、共通ドレイン電極25から構成される。

【0144】なお、各端子部 a、b、c、d はそれぞれ図 11 (C) に示したインバータ回路の端子部 a、b、c、d に対応している。

【0145】次に、図 11 (B) に示すのは、N 型 TFT と P 型 TFT とでドレイン領域となる半導体層を共通化した場合の例である。各符号は図 11 (A) で説明した符号に対応している。

【0146】図 11 (B) の構造では TFT 同士を非常に高い密度で形成することができるため、回路を高集積化する場合などに非常に有効である。共通化した半導体層は PN 接合を形成するが問題とはならない。

【0147】〔実施例 9〕 実施例 1 では、非晶質半導体膜の結晶化工程においてレーザー光、特にパルス発振型のエキシマレーザーを使用して熔融結晶化させている。またレーザー光もしくは、それと同等の強度を持つ強光を用いて、ガラス基板を歪ませずに、固相成長により結晶化することも可能である。

【0148】その様な強光またはレーザー光を発する光源として、ハロゲンランプ等の赤外線ランプや、Ar レーザ等の連続発振レーザーを用いることができる。赤外線ランプや連続発振レーザーを用いた RTA (Rapid Thermal Anneal) 技術は数秒から数十秒の加熱処理で結晶化が可能であるため、大幅にスループットを向上することが可能である。

【0149】赤外線ランプ光又は連続発振レーザー光を照射すると、非晶質珪素膜に吸収されたランプ光は熱に変わり、この熱により非晶質半導体膜中に結晶核が発生して、固相成長によって結晶化が進行して、結晶性半導体膜を得ることができる。

【0150】ハロゲンランプ（ピーク波長 1.15  $\mu$ m、波長 0.4 ~ 4  $\mu$ m）を用いた場合には、加熱時間を 10 ~ 60 秒、典型的には 15 ~ 30 秒とする。非晶質半導体膜を 700 ~ 1000  $^{\circ}$ C に加熱するようにする。非晶質半導体膜は 700 ~ 1000  $^{\circ}$ C に加熱されるが、ガラス基板は赤外光が吸収されにくいこと、ランプ光の照射時間が短時間であるため、ガラス基板を歪み点（650 ~ 700  $^{\circ}$ C 程度）以上に加熱することがない。

【0151】赤外線ランプ光又は連続発振レーザー光により半導体膜を結晶化した後、レーザー光照射により半導体膜をアニールして、結晶性を向上させるとよい。この場合には、レーザー光によるアニールは不純物の活性化工程として、実施することも可能である。

【0152】本実施例の RTA 技術による、半導体膜の結晶化方法は、他の全ての実施例の構成と組み合わせることが可能である。

【0153】〔実施例 10〕 本実施例は、実施例 1 ~ 4 で説明した TFT を画素マトリクス回路の画素 TFT に適用したものであり、ここでは、TFT を実施例 4 で示したオフセット構造とオーバーラップ構造を複合した構造とする。

【0154】図 12 は、本実施例の画素マトリクス回路の 1 画素の模式的な平面図であり、図 13 は断面図である。画素マトリクス回路の各画素には、画素 TFT と補助容量が形成されている。画素マトリクス回路には、画素 TFT のオン/オフを制御する信号を入力するための複数のゲート配線 1010 が X 方向に平行に配列され、画像信号を入力するための複数のソース配線 1020 が Y 方向に平行に配列されている。

【0155】画素マトリクス回路の作製工程は実施例 1 と同様の工程条件にて作製されるため、本実施例の作製工程の説明は簡略化する。ガラス基板 1100 表面には、酸化珪素膜でなる下地膜 1101 が形成されている。下地膜 1101 上には、1 層目の配線として、ゲート配線 1010 及びゲート配線 1010 と平行に容量配線 30 とが形成されている。ゲート配線 1010 には、TFT のゲート電極 1011、1012 が一体的に形成され、容量配線 1030 には補助容量の下部電極となる容量電極 1031 が一体的に形成されている。

【0156】1 層目の配線を構成する導電膜として、アルミニウム（Sc を 2 wt % を含有する）膜を用いる。アルミニウム膜をパターニング後、陽極酸化処理を施して、その表面に陽極酸化膜 1102 を形成する。陽極酸化されないアルミニウム膜膜が 1 層目の配線・電極 1010、1011、1012、1030、1031 である。

【0157】第 1 層目の配線・電極上には、窒化珪素膜 1103 および窒化酸化珪素膜 1104 が形成される。ゲート絶縁層は、陽極酸化膜 1102、窒化珪素膜 1103 および窒化酸化珪素膜 1104 でなる積層膜で構成される。窒化酸化珪素膜 1104 上には、画素 TFT の半導体層 1041 が形成される。本実施例では、画素 TFT はゲート電極 1011 を有する TFT と、ゲート電極 1012 を有する TFT とが直列に接続された構成となる、いわゆるマルチゲート型とすることにより、リーク電流の低減を図る。

【0158】2 層目の配線として、Ti/Al/Ti の積層膜でなるソース配線 1020、ソース電極 1021、ドレイン電極 1022、マスク電極 1023 が形成されている。ソース電極 1021 はデータ配線 1020 と一体的に形成されている。ソース配線 1020 はゲート配線 1010 及び容量配線 1030 に対して、格子を成すように配置され、これら配線 1010、1030 とはゲート絶縁層のみによって絶縁されている。

【0159】このため、1 層目の配線 1010、1030 と、2 層目の配線 1020 間の寄生容量を小さくするため、ゲート絶縁層の厚さをトップゲート型 TFT と比較して厚めにする。ここでは厚さを 0.3 ~ 0.8  $\mu$ m、代表的には 0.4 ~ 0.5  $\mu$ m とする。よって、ゲート絶縁層と構成する 1 層目の陽極酸化膜 1102 の厚さは 0 ~ 200 nm、代表的には 100 ~ 150 nm と

し、2層目の窒化珪素膜1103の厚さを0~500nm、代表的には25~300nmとする。3層目の窒化酸化珪素膜（もしくは酸化珪素膜）1104の厚さを0~800nm、代表的には150~500nmとする。ここでは、陽極酸化膜1102の厚さを100nmとし、窒化珪素膜1103の厚さを100nmとし、窒化酸化珪素膜1104の厚さを200nmとする。

【0160】2層目の電極1021、1022、1023をマスクにして、画素TFTの半導体層1041はチャンネルエッチングが施されている。マスク電極1023の電位はフローティングであり、半導体層1041に電圧を印加する機能はなく、チャンネルエッチ工程時にマスクとして機能するものである。またソース電極1021、ドレイン電極1022をゲイト電極1011、1021に対してオフセットするように形成する。他方、マスク電極23はゲイト電極1011、1021に対してオーバーラップするように形成する。

【0161】この構造において、ソース領域、およびドレイン領域には、実施例1で説明したオフセット型のHRDが形成され、高耐圧対策が施されている。他方、マスク電極1023の下層の不純物領域は2つのTFTの連結部に相当し、キャリアの経路としてのみ機能するため、高移動度が最優先される。従って、この不純物領域には実施例2で説明したオーバーラップ型のHRD領域を設け、移動度の向上を図る。

【0162】なお、画素マトリクス回路では画素電極に極性が交互に反転するように電圧を印加するため、正負双方の極性の電圧に対しても画素TFTの特性が等しくなるようにするのが好ましい。本実施例では、ソース領域とドレイン領域に形成されるオフセット領域の長さが等しくなるように、またマスク電極1023の両側に形成されるオーバーラップ領域の長さが等しくなるように設計する。

【0163】実施例1、2で示したように、オフセット長及びオーバーラップ長は1層目、2層目の配線のパターンによって決定され、それぞれ0.3~3μmをとることができる。ここではオフセット長、オーバーラップ長をそれぞれ1μmとする。また画素TFTの場合には、チャンネル幅及びチャンネル長が1~10μmとなるようにする。ここでは、チャンネル幅を5μmとし、チャンネル長を3μmとする。チャンネル長を3μmとするため、ゲイト電極1011、1012幅は3μmとする。なお、マスク電極1023の両側のオーバーラップ長は実施例3に示すように、ゼロとなるようにしてもよい。

【0164】マスク電極1023はゲイト電極1011、1021に対してオーバーラップして配置されているので、マスク電極1023とゲイト電極1011、1012間の寄生容量を小さくするため、マスク電極1023は半導体層1041の幅よりも狭くする。

【0165】他方、補助容量において、ドレイン電極1

022は容量電極1031と対向するように形成されている。この構造により、ドレイン電極1022と容量電極1031を対向電極とし、ゲイト絶縁層1102、1103、1104を誘電体とする補助容量が形成される。実施例1で示したように、画素TFTは4枚のマスクで形成でき、補助容量1030を追加してもマスクパターンの変更のみであり、マスク数は増加しない。これは従来のチャンネルストップ型TFTだけを作製するのに、6枚マスクを必要としていた事を考えると、スルーブット及び歩留りが飛躍的に向上することを意味している。

【0166】画素TFT、補助容量を覆って、厚さ100~250nmの窒化酸化珪素または窒化珪素でなる保護膜1116が形成される。ここでは、厚さ200nmの窒化酸化珪素膜を形成する。

【0167】保護膜1116上に、画素電極1050の下地となる厚さ0.8~2.0μmの層間絶縁膜1130が形成される。層間絶縁膜1130としては、平坦な表面を得られる塗布膜が好ましい。塗布膜の1つとして、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜や、PSGや酸化珪素等の酸化珪素系の塗布膜が使用できる。本実施例では、層間絶縁膜1130としてアクリル樹脂膜を1.0μmの厚さに形成する。

【0168】そして、層間絶縁膜1130および保護膜1117にドレイン電極1022に達するコンタクトホールを形成する。ここでマスク数は5となる。次に透明導電膜として厚さ100~150nmのITO膜を形成する。ここでは、120nmの厚さに成膜し、パターニングして画素電極1050を形成する。これでマスク数が6になる。以上の工程により、画素マトリクス回路が完成する。なお、画素電極1050の材料をAl等の金属膜として、反射電極を作製しても良い。

【0169】補助容量の誘電体を陽極酸化膜1102、窒化珪素膜1103及び窒化酸化珪素膜（酸化珪素膜）1104の3層の絶縁体としたが、陽極酸化膜1102と窒化珪素膜1103の2層とすることも可能である。この場合には、図2（B）に示す島状半導体層のパターニング後に、半導体層をマスクにして露出されている窒化酸化珪素膜1104をエッチングにより除去し、この後2層目の配線となるソース配線1020、電極1021、1022、1023を形成する。ただし窒化酸化珪素膜1104をエッチングするには、窒化珪素膜1103がエッチングストッパーとして機能するようなエッチングガスもしくはエッチャントを用いる必要がある。また、窒化酸化珪素膜1104がよりエッチングしやすくなるように、その組成を調整したり、窒化酸化珪素膜の代わりに酸化珪素膜を成膜するのも有効である。

【0170】実施例5及び8で説明したように、nチャネル型の画素TFTとCMOSTFTでなるインバータ

回路を同時に形成することが可能である。この技術を用いて、図示していないが画素マトリクス回路を駆動する周辺駆動回路も同一基板 1101 上に形成されている。周辺駆動回路に配置される T F T は高速動作を優先させるため、ソース/ドレイン領域はオーバーラップ構造とするのがよい。

【0171】本実施例の画素 T F T は 2 つのゲート電極を有するマルチゲート型としたが、ゲート電極数は 2 に限定されるものではなく、1 もしくは 2 以上とすることができる。何れのゲート電極数でも、ソース配線 1020 及び画素電極 1050 によって電圧が印加されるソース及びドレイン領域はオフセット構造とし高耐圧対策を施すと良い。またゲート数が 2 以上の場合にはソース及びドレイン領域以外の不純物領域が半導体層に形成されるが、この不純物領域はゲート電極に対して、オーバーラップさせるか、もしくは実施例 3 で示したようにオフセット長及びオーバーラップ長がゼロとなるように形成して、高移動度を優先すると良い。

【0172】〔実施例 11〕 本実施例では実施例 10 の補助容量の変形例を示す。図 14 に本実施例の画素マトリクス回路の断面図を示す。なお図 14 おいて、図 12、13 と同じ符号は実施例 10 と同じ構成要素であり、実施例 10 と異なるのは、画素 T F T の半導体層 1241 及びドレイン電極 1222 のパターンである。

【0173】本実施例では、図 2 (B) に示す島状半導体層をパターニング工程によって、半導体層を容量電極 31 と対向するように形成する。そして、ドレイン電極 1222 を容量電極 1031 に部分的にオーバーラップするように形成する。島状半導体層を電極 1021、1023、1222 をマスクにしてチャネルエッチングを施す。この結果、半導体層 1241 はチャネルエッチングにより、容量電極 1031 上には真性又は実質的に真性な i 層でなる i 型領域 1242 が形成される。この i 型領域 1242 は画素 T F T のチャネル形成領域とほぼ同じ膜厚であり、同様な機能を有する

【0174】容量電極 1031 により電圧を印加すると、i 型領域 1242 にはチャネルが形成される。更にドレイン電極 1222 と容量電極 1031 がオーバーラップしている半導体層 1241 の i 層、即ち図 5 のマスクオーバーラップ領域にもチャネルが形成される。これらチャネルが補助容量の上部電極として機能する。補助容量の上部電極と画素電極 1050 の接続構造は、図 5 に図示されたチャネル形成領域とドレイン電極との接続構造と同じである。図 5 を参照すると、i 層でなる i 型領域 1242 (503)、マスクオーバーラップ領域 (504)、n' 層でなる L D D 領域 (505)、n' 層 (506)、ドレイン電極 1222 (502)、画素電極 1050 の順になる。

【0175】ここでは、補助容量の上部電極の主要な部分が i 型領域 1242 になるように、マスクオーバーラ

ップ領域長を設定するのが好ましく、0.3~3 μm 程度とする。またドレイン電極 1222 と容量電極 1031 をオーバーラップ構造としたのは、画素電極 1050 間と上記の補助容量の上部電極間の抵抗が小さくなるようにするためである。なお、i 型領域 1224 により低い電圧でチャネルを形成するには、実施例 6 で示したしきい値制御対策を施すことが好ましい。

【0176】〔実施例 12〕 図 15 に本実施例の画素マトリクス回路の断面図を示す。本実施例では実施例 11 と同様に画素 T F T の半導体層の i 層を補助容量の上部電極に用いる例を示す。なお、図 15 において、図 14 と同じ符号は実施例 11 と同じ構成要素である。実施例 11 と異なるのは、画素 T F T の半導体層 1341 及びドレイン電極 1322 のパターンである。

【0177】実施例 11 では容量電極 1031 と対向する半導体層 1241 にチャネルエッチングが施されているが、本実施例では容量電極 1031 と対向する半導体層 1341 にチャネルエッチングを施さないようにする。そのためドレイン電極 1322 は容量電極 1031 と対向する半導体層 1342 の表面を覆うように形成される。

【0178】この構造において、補助容量の上部電極は、容量電極 1031 の電圧によって半導体層 1342 の i 層に形成されるチャネルとなる。このチャネルが形成される領域は、実施例 2 で説明したオーバーラップ領域 504 (図 5 参照) に対応する。従って、補助容量の上部電極と画素電極 1050 接続構造は、図 5 を参照すると、i 層でなるマスクオーバーラップ領域 (504)、n' 層でなる L D D 領域 (505)、n' 層 (506)、ドレイン電極 1322 (502)、画素電極 1050 の順になる。

【0179】補助容量と上部電極となる半導体層 1341 の i 層 (マスクオーバーラップ領域) にチャネルをより低い電圧で形成するには、実施例 6 で示したしきい値制御を対策を施すことが好ましい。

【0180】〔実施例 13〕 図 16 に本実施例の画素マトリクス回路の断面図を示す。本実施例は実施例 12 の変形例である。図 16 おいて、図 15 と同じ符号は実施例 12 と同じ構成要素であり、実施例 12 と異なるのは、画素 T F T においては、半導体層 1441 及びドレイン電極 1422 のパターンと、画素電極 1450 の接続構造であり、更に補助容量においては、画素 T F T と分離して、半導体層 1442 と第 2 層目の電極 1424 が形成されている点である。

【0181】本実施例では、図 2 (B) に示す島状半導体層のパターニング工程において、画素 T F T の半導体層 1441 の原型となる島状領域と、補助容量の半導体層 1442 を形成する。つぎに 2 層目の配線ソース電極 1022、マスク電極 1023、ドレイン電極 1422 及び電極 1424 を形成する。電極 1424 は補助容量



の半導体層 1424 がチャンネルエッチングされないように、半導体層 1424 を被覆している。チャンネルエッチングを行うことにより、画素 TFT の半導体層 1441 が形成される。

【0182】次に保護膜 1116、層間絶縁膜 1130 を形成する。保護膜 1116、層間絶縁膜 1130 にドレイン電極 1422、補助容量の電極 1424 に達するコンタクトホールを形成した後、画素電極 1450 を形成する。図 16 (A) に示すように画素電極 1450 はドレイン電極 1422 及び電極 1422 と電気的に接続 10 される。

【0183】補助容量の構造は実施例 12 と実質的に同様であり、補助容量の上部電極は、半導体層 1442 の i 層に形成されるチャンネルである。この i 層は図 5 のマスクオーバーラップ領域に対応する。補助容量の上部電極と画素電極 1450 の接続構造は、半導体層 1442 の i 層でなるマスクオーバーラップ領域 (504)、n 層でなる LDD 領域 (505)、n' 層 (506)、電極 1424 (502)、画素電極 1450 の順になる。

【0184】なお、本実施例では n' 層が電極として機能 20 できる。よって図 16 (B) に示すように、画素電極 1450 用のコンタクトホールを形成する工程において、電極 1424 にもエッチングして、半導体層 1424 の n' 層を接続する。

【0185】また、図 16 (A)、(B) において半導体層 1442 にはチャンネルエッチングを施さないようにしたが、画素電極 1450 との接続部を少なくとも覆うようにして、実施例 7 に示すように半導体層 1442 の側面に突出部を形成し、半導体層 1442 の段差を緩和しても良い。

【0186】〔実施例 14〕 図 17 に本実施例の画素マトリクス回路の断面図を示す。本実施例は実施例 13 の変形例である。図 17 おいて図 16 と同じ符号は実施例 13 と同じ構成要素であり、実施例 13 と異なるのは、実施例 13 の補助容量の半導体層 1442 と電極 1424 を形成しない点と、画素電極 1550 の接続構造である。

【0187】本実施例では画素電極 1550 を補助容量の上部電極に用いる。画素電極 1550 用のコンタクトホールを形成する工程において、層間絶縁膜 1130、 40 窒化酸化珪素膜でなる保護膜 1116 及びゲイト絶縁層 1104 がエッチングされるため、補助容量の誘電体は窒化珪素膜 1103 と陽極酸化膜 1102 の 2 層となる。

【0188】本実施例では補助容量の誘電体に、陽極酸化膜 1102、窒化珪素膜 1103、窒化酸化珪素膜 (酸化珪素膜) 1104、保護膜 1116 が使用できる。

【0189】例えば、図 17 において、コンタクトホールを形成する際に、窒化珪素膜 1103 もエッチングす 50

ることによって、陽極酸化膜 1102 のみを誘電体に用いることができる。

【0190】例えば、画素電極 1550 用のコンタクトホールを形成する際に、層間絶縁膜 1130 と保護膜 1116 のマスクパターンと変えて、補助容量のコンタクトホールの保護膜 1116 を除去しないようにすることで、列記した 4 つの膜を補助容量の誘電体に使用できる。

【0191】例えば、保護膜 1116 を窒化珪素膜として、コンタクトホール形成工程では、ゲイト絶縁層の 2 層目の酸化窒化珪素膜 (酸化珪素膜) 1104 がエッチングストッパーとなるような、エッチングガスもしくはエッチャントを使用すれば、が酸化窒化珪素膜 (酸化珪素膜) 1104、窒化珪素膜 1103、陽極酸化膜 1102 を補助容量の誘電体とすることができる。

【0192】〔実施例 15〕 本実施例は実施例 14 の変形例である。実施例 14 では、補助容量の電極としてゲイト配線 1010 と別途に容量配線 1030 が必要であったが、本実施例では容量配線を省略する例を示す。

図 20 に本実施例の画素マトリクス回路の平面図を示し、図 18 に模式的な断面図を示す。図 20、図 18 において図 17 と同じ符号は同じ構成要素を示す。

【0193】図 20 に示すように、本実施例のゲイト配線 1210 には画素 TFT のゲイト電極 1211、1212、及び補助容量の電極 1231 が一体的に形成されている。補助容量の電極として容量電極 1231 と画素電極 1231 を用いる点は実施例 14 と同様であるが、画素電極 1231 は次段もしくは前段のゲイト配線 1230 に形成された容量電極 1231 と対向している。

30 【0194】図 18 は画素電極 1650B を有する画素の断面図に対応する。図 20 に示すように、画素電極 1650B は前段 (次段) のゲイト配線 1210A に形成された容量電極 1231A と対向して、ゲイト絶縁層 1103、1104 を誘電体とする補助容量が形成される。またゲイト配線 1210B に形成された容量電極 1231B には次段 (前段) の画素電極 1650 と対向している。

【0195】また、本実施例の容量電極 1231 は、画素電極がドレイン電極と補助容量とは異なる接続部を有する場合に適用することができ、実施例 13 にも適用可能である。図 19 (A)、(B) は、本実施例を実施例 13 (図 16) に適用した場合の、画素マトリクス回路の断面図を示す。なお、図 19 の符号は図 18 を準用する。

【0196】〔実施例 16〕 図 21 を用いて、本実施例の表示装置を備えた電子機器を説明する。本実施例では、本発明による液晶表示装置を適用しうる応用製品 (電気光学装置) について、実施例で示した AMLCD は様々な電子機器のディスプレイに利用される。なお、 50 本実施例で挙げる電子機器とは、AMLCD を表示装置

として搭載した製品を指す。

【0197】本発明を応用した電気光学装置としてはビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話）等が挙げられる。

【0198】図21（A）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005に適用される。

【0199】図21（B）はヘッドマウントディスプレイであり、本体2201、表示装置2102、バンド部2103で構成される。本発明を表示装置2012に適用することができる。

【0200】図21（C）は携帯電話であり、本体2201、音声出力部2202、音声入力部2203、表示装置2204、操作スイッチ2205、アンテナ2206で構成される。本発明を表示装置2204に適用される。

【0201】図21（D）はビデオカメラであり、本体2301、表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。本発明を表示装置2302に適用される。

【0202】図21（E）はリア型プロジェクタであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクタ2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用される。

【0203】図21（F）はフロント型プロジェクタであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502に適用される。

【0204】以上のように、本発明の適用範囲は極めて広く、あらゆる分野の表示装置を搭載される電子機器に応用可能である。また、電光掲示板、宣伝広告用の表示装置に応用もできる。

【0205】

【発明の効果】本願発明を実施することで、非常に少ないマスク数（典型的には4枚）で量産性の高い半導体装置を作製することができる。

【0206】また、チャネル形成領域とソース／ドレイン電極間に、特性バラツキの小さい電界緩和層（LDD領域、マスクオフセット領域、厚さオフセット領域等）

が形成できるので、信頼性が高く且つ再現性の高い半導体装置を実現することが可能である。

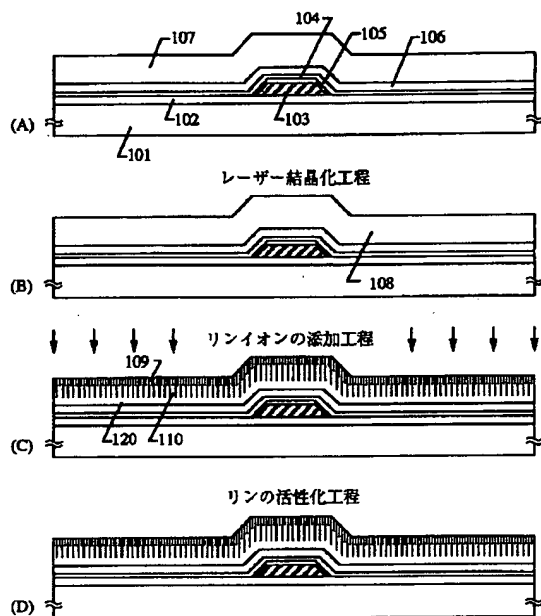
【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの構成を示す拡大図。
- 【図4】 膜中の濃度プロファイルを示す図。
- 【図5】 薄膜トランジスタの構成を示す図。
- 【図6】 薄膜トランジスタの構成を示す図。
- 【図7】 薄膜トランジスタの構成を示す図。
- 【図8】 CMOS回路の構成を示す図。
- 【図9】 膜中の濃度プロファイルを示す図。
- 【図10】 薄膜トランジスタの構成を示す図。
- 【図11】 CMOS回路の構成を示す図。
- 【図12】 画素マトリクス回路の1画素の平面図。
- 【図13】 画素マトリクス回路の1画素の断面図。
- 【図14】 画素マトリクス回路の1画素の断面図。
- 【図15】 画素マトリクス回路の1画素の断面図。
- 【図16】 画素マトリクス回路の1画素の断面図。
- 【図17】 画素マトリクス回路の1画素の断面図。
- 【図18】 画素マトリクス回路の1画素の断面図。
- 【図19】 画素マトリクス回路の1画素の断面図。
- 【図20】 画素マトリクス回路の1画素の平面図。
- 【図21】 表示装置を備えた電子機器の模式図。

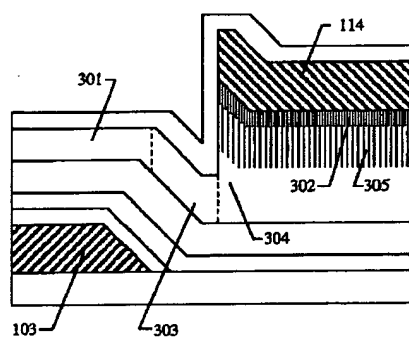
【符号の説明】

101	基板
102	下地膜
103	ゲート電極
104	陽極酸化膜
105	窒化珪素膜
106	酸化窒化珪素膜
107	非晶質半導体膜
108	結晶性半導体膜
109	結晶性半導体膜
110	n <sup>+</sup> 層（第1導電層）
111	n <sup>-</sup> 層（第2導電層）
112	島状半導体層
113	ソース電極
114	ドレイン電極
115	チャネルエッチ領域
116	保護膜
117	チャネル形成領域
118	マスクオフセット領域
119	コンタクトホール

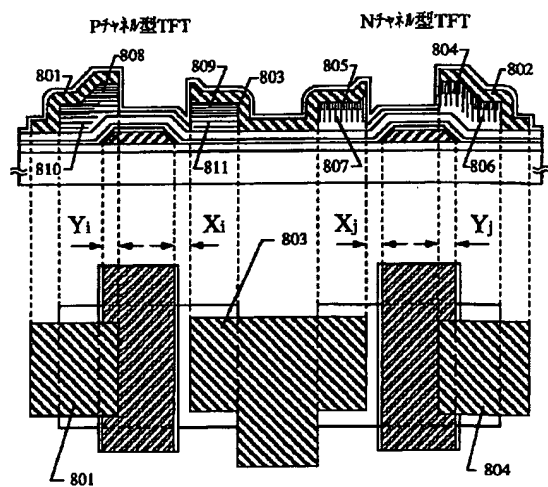
【図 1】



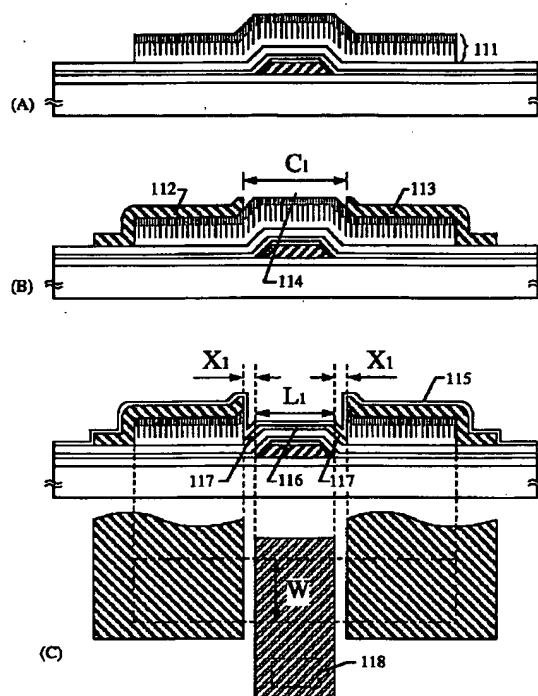
【図 3】



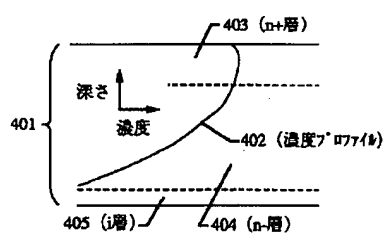
【図 8】



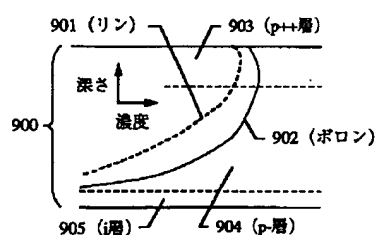
【図 2】



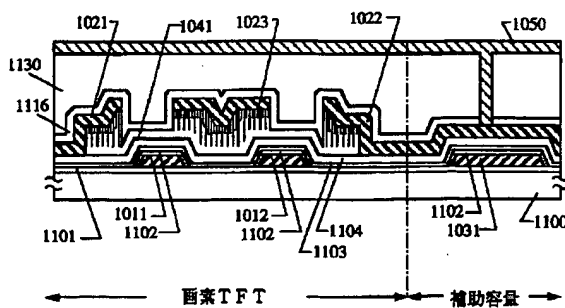
【図4】



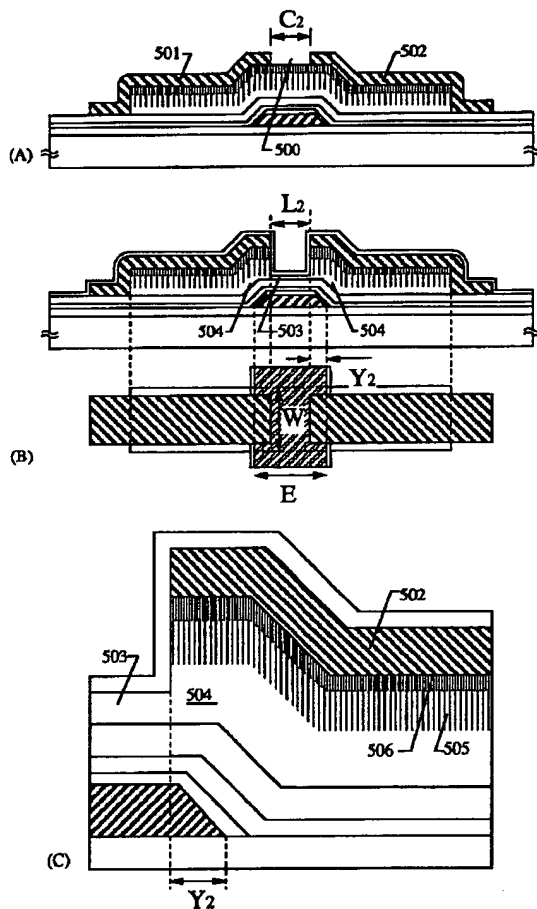
【図 9】



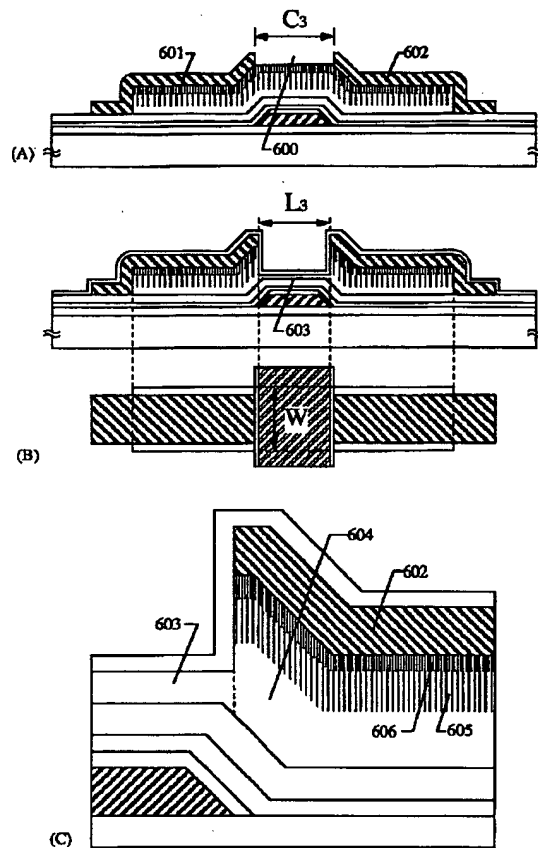
【图 13】



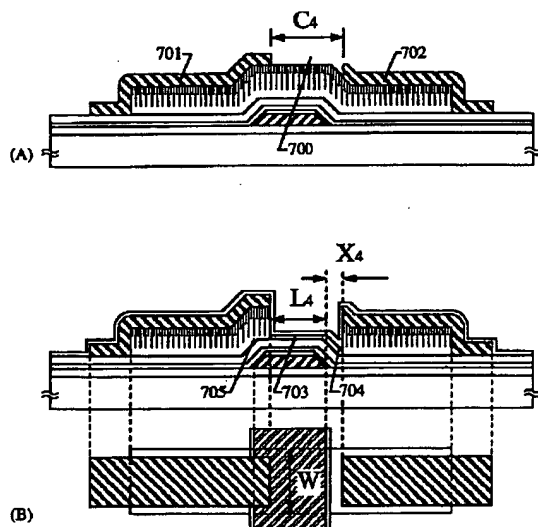
【図 5】



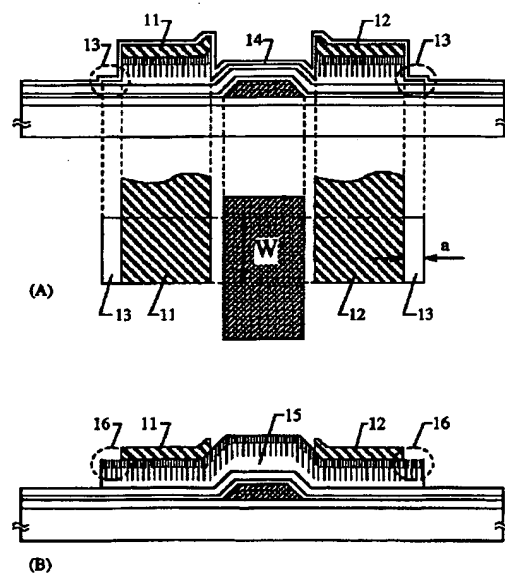
【図 6】



【図 7】

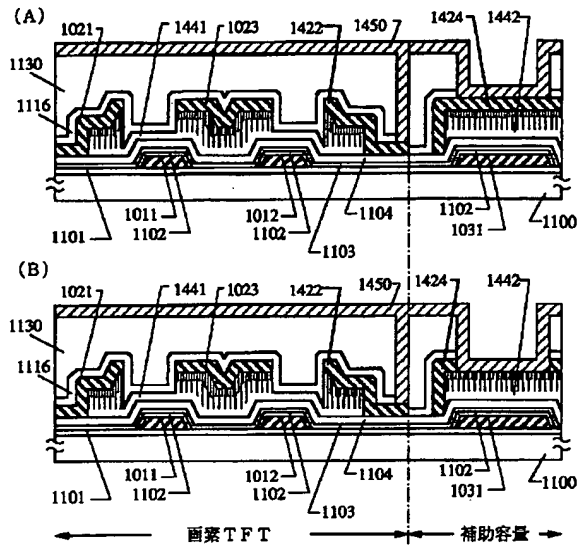


【図 10】

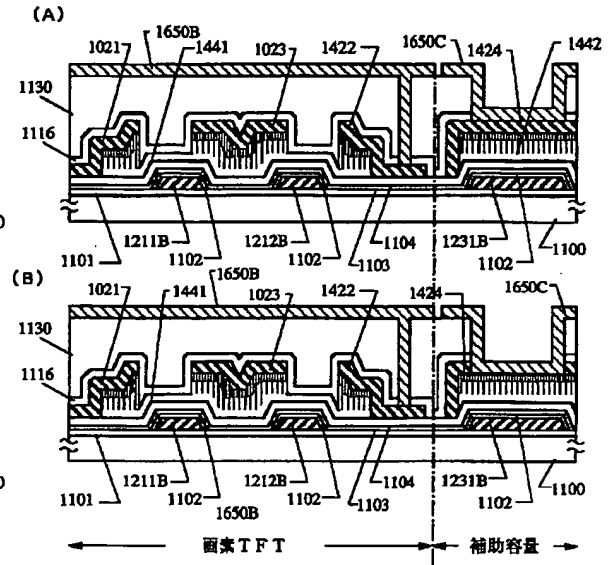




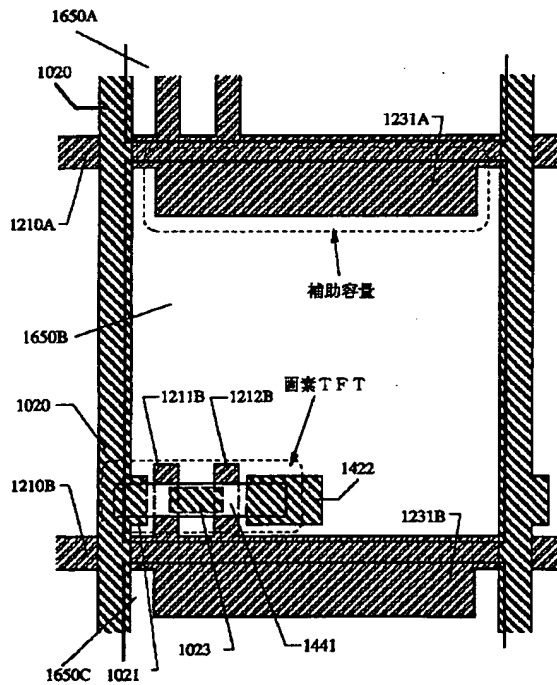
【図 16】



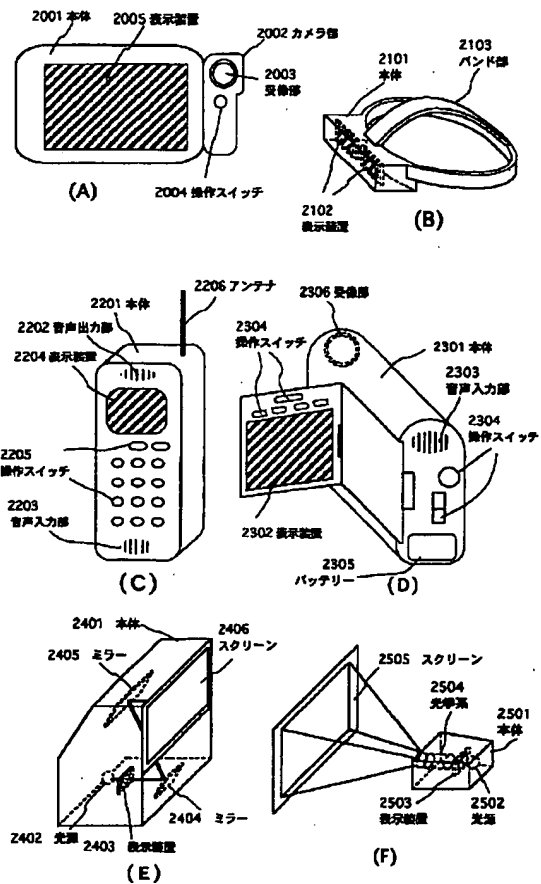
【図 19】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

識別記号

F I

H 0 1 L 29/78

6 1 8 G

6 1 8 C

6 2 7 G